

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-136769
 (43)Date of publication of application : 01.06.1993

(51)Int.Cl.

H04L 5/14

(21)Application number : 03-300763
 (22)Date of filing : 15.11.1991

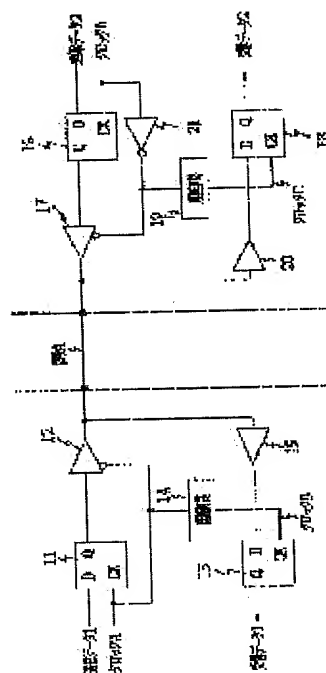
(71)Applicant : NEC CORP
 (72)Inventor : NINOMIYA HIROSHI

(54) SIGNAL TRANSMISSION RECEPTION CIRCUIT

(57)Abstract:

PURPOSE: To use input and output terminals in common by connecting a clock delayed by a delay circuit to an enable terminal of a tri-state buffer buffering an output signal of a flip-flop so as to control an output signal.

CONSTITUTION: Transmission data 1 are delivered to an output at the rise of a clock A by a flip-flop 11 and inputted to a tri-state buffer 12. Input data are outputted as they are from the tri-state buffer 12 when an enable terminal is at a low level and the output reaches a high impedance state at the time of a high level. On the other hand, a buffer 20 at the receiver side receives a signal and inputs it to a flip-flop 18. A clock C of the flip-flop 18 is obtained by a clock A inverted by an inverter 21 and delayed by a delay circuit 19, transmission data 1 are sent by the rise of the clock C and reception data 2 are outputted. Thus, a problem that number of transmission reception terminals and wirings is increased when number of signals sent/received is increased.



(19)日本国特許庁(J P)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-136769

(43)公開日 平成5年(1993)6月1日

(51)Int.Cl.⁵

H 0 4 L 5/14

識別記号

庁内整理番号

7190-5K

F I

技術表示箇所

審査請求 未請求 請求項の数1(全 4 頁)

(21)出願番号 特願平3-300763

(22)出願日 平成3年(1991)11月15日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 二宮 弘

東京都港区芝五丁目7番1号日本電気株式会社内

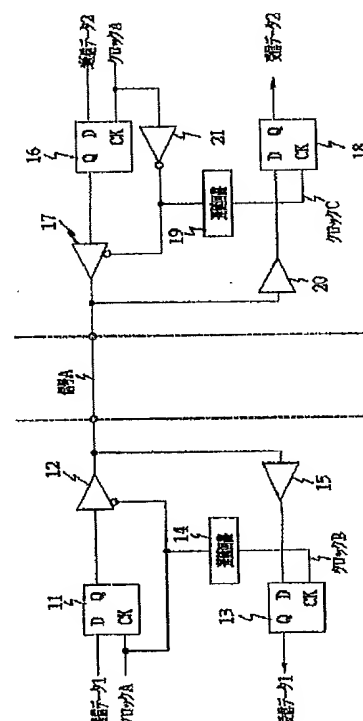
(74)代理人 弁理士 熊谷 雄太郎

(54)【発明の名称】 信号送受信回路

(57)【要約】

【目的】 従来の信号送受信回路では、送信端子と受信端子を個別に有しているために、送受する信号の数が増えると送受信用の端子、配線が増えるという課題があるが、この課題を解決する。

【構成】 送信データをクロックでリタイミングするフリップフロップ11と、フリップフロップ11の出力信号をバッファ出力するスリーステートバッファ12と、スリーステートバッファ12の出力信号を入力に接続するバッファ15と、クロックを遅延させる遅延回路14と、遅延回路14で遅延したクロックで受信データをリタイミングするフリップフロップ13とを有し、スリーステートバッファ12のイネーブル端子にクロックを接続し、出力信号を制御することにより入出力端子を共用する信号送受信回路を実現する。



(2)

1

【特許請求の範囲】

【請求項1】 送信データをクロックでリタイミングするフリップフロップと、前記フリップフロップの出力信号をバッファ出力するイネーブル端子付きスリーステートバッファと、前記スリーステートバッファの出力信号を入力に接続するバッファと、クロックを遅延させる遅延回路と、前記遅延回路で遅延したクロックで受信データをリタイミングするフリップフロップとを有する信号送受信回路であって、前記スリーステートバッファのイネーブル端子にクロックを接続して出力信号を制御することにより入出力端子を共用することを特徴とする信号送受信回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、信号送受信回路に関し、特に、クロック同期の取れているデータの信号送受信回路に関する。

【0002】

【従来の技術】従来の信号送受信回路は、図3に示すように、送信端子と受信端子を個別に有し、対向する装置の受信端子と送信端子にそれぞれ接続して信号の受渡しを行っていた。

【0003】

【発明が解決しようとする課題】上述した従来の信号送受信回路では、送受する信号の数が増えると送受信の端子、及びそれらを接続するための配線が増えるという課題があった。

【0004】本発明は従来の上記実情に鑑みてなされたものであり、従って本発明の目的は、従来の技術に内在する上記課題を解決することを可能とした新規な信号送受信回路を提供することにある。

【0005】

【課題を解決するための手段】上記目的を達成する為に、本発明に係る信号送受信回路は、送信データをクロックでリタイミングするフリップフロップと、このフリップフロップの出力信号をバッファ出力するイネーブル端子付きスリーステートバッファと、このスリーステートバッファの出力信号を入力に接続するバッファと、クロックを遅延させる遅延回路と、この遅延回路で遅延したクロックで受信データをリタイミングするフリップフロップとを備えて構成され、前記スリーステートバッファのイネーブル端子にクロックを接続して出力信号を制御することを特徴としている。

【0006】

【実施例】次に本発明をその好ましい一実施例について図面を参照して具体的に説明する。

【0007】図1は本発明に係る信号送受信回路の一実施例を示すブロック構成図である。図2は図1に示した構成の動作タイムチャートを示している。ここでは送信データ1、送信データ2とクロックAの入力位相が図2

2

に示す場合について説明する。

【0008】図1、図2を参照するに、まず送信データ1(a1、a2、a3、a4…)が受信データ2方向へ出力されるまでを説明する。送信データ1はフリップフロップ11でクロックAの立上りで出力に伝達されスリーステートバッファ12に入力される。スリーステートバッファ12はイネーブル端子が“ロウ”レベルの時に入力データがそのまま出力され、“ハイ”レベルの時に出力は“ハイ”インピーダンス状態になる。つまりスリーステートバッファ12の出力は図2に示しているようにクロックAが“ハイ”レベルの時に“ハイ”インピーダンス状態になり、“ロウ”レベルの時に送信データ1(a1、a2、a3、a4…)が出力される。

【0009】一方受信側では、バッファ20で信号を受けてフリップフロップ18に入力する。フリップフロップ18のクロックCはクロックAをインバータ21で反転させた後に遅延回路19で遅延させ、データa1、a2、a3、a4…をクロックCの立上りで伝達され受信データ2を出力する。

【0010】次に、送信データ2(b1、b2、b3、b4…)が受信データ1方向へ出力されるまでを説明する。送信データ2はフリップフロップ16でクロックAの立下り方で出力に伝達されてスリーステートバッファ17に入力される。スリーステートバッファ17はイネーブル端子が“ロウ”レベルの時に入力データがそのまま出力され、“ハイ”レベルの時に出力は“ハイ”インピーダンス状態になる。つまり、スリーステートバッファ17の出力は、図2に示しているようにクロックAが“ロウ”レベルの時に“ハイ”インピーダンス状態になり、“ハイ”レベルの時に送信データ1(b1、b2、b3、b4…)が出力される。

【0011】一方受信側では、バッファ15で信号を受けてフリップフロップ13に入力する。フリップフロップ13のクロックBはクロックAを遅延回路14で遅延させ、データb1、b2、b3、b4…をクロックBの立上りで伝達され受信データ1を出力する。

【0012】信号AはクロックAが“ハイ”レベルの時にデータb1、b2、b3、b4…、“ロウ”レベルの時にデータa1、a2、a3、a4…になり、出力信号がぶつかることはない。

【0013】

【発明の効果】以上説明したように、本発明によれば、送信データをクロックでリタイミングするフリップフロップと、前記フリップフロップの出力信号をバッファ出力するイネーブル端子付きスリーステートバッファと、前記スリーステートバッファの出力信号を入力に接続するバッファと、クロックを遅延させる遅延回路と、前記遅延回路で遅延したクロックで受信データをリタイミングするフリップフロップとを有し、前記スリーステートバッファのイネーブル端子にクロックを接続し出力信号

(3)

3

を制御することにより入出力端子を共用する信号送受信回路を実現できるという効果が得られる。

【図面の簡単な説明】

【図1】 本発明に係る信号送受信回路の一実施例を示すブロック構成図である。

【図2】 図1に示した構成図のタイムチャートである。

【図3】 従来における信号送受信回路のブロック図であ

る。

【符号の説明】

11、13、16、18…フリップフロップ

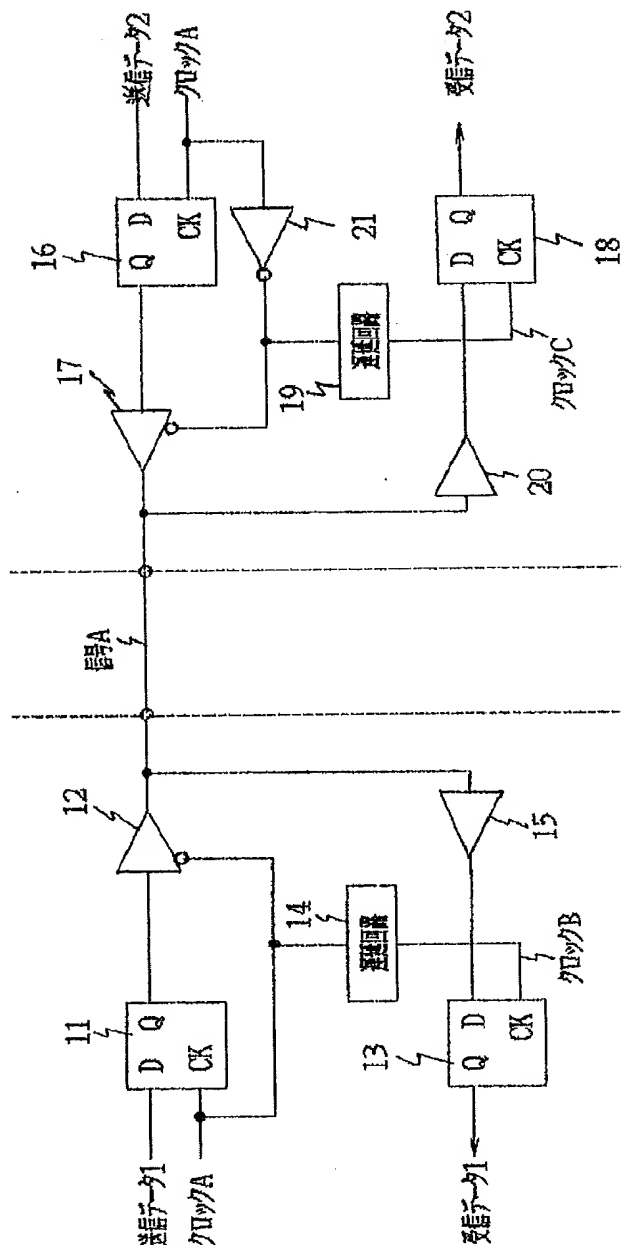
12、17…スリーステートバッファ

14、19…遅延回路

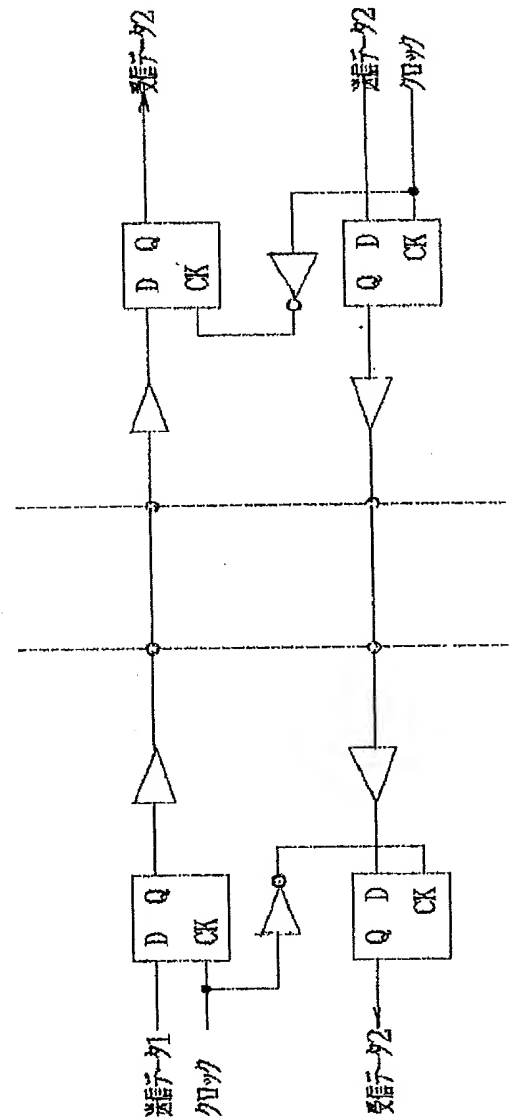
15、20…バッファ

21…インバータ

【図1】



【図3】



(4)

【図2】

